

PCT/JP 03/10456

日 本 国 特 許 庁
JAPAN PATENT OFFICE

19.08.03

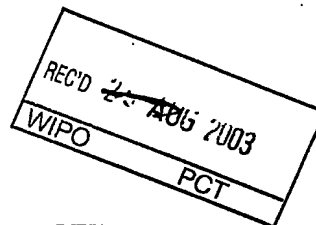
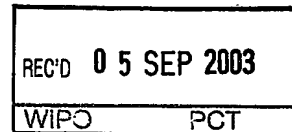
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2003年 3月18日
Date of Application:

出 願 番 号 特願2003-074052
Application Number:
[ST. 10/C]: [JP 2003-074052]

出 願 人 独立行政法人産業技術総合研究所
Applicant(s):

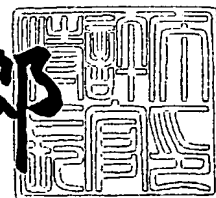


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 7月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3056176

【書類名】 特許願
【整理番号】 329-02903
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
H01L 29/78
【発明者】
【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
【氏名】 酒井 滋樹
【特許出願人】
【識別番号】 301021533
【氏名又は名称】 独立行政法人産業技術総合研究所
【代表者】 吉川 弘之
【電話番号】 029-861-3280
【先の出願に基づく優先権主張】
【出願番号】 特願2002-238703
【出願日】 平成14年 8月20日
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体強誘電体記憶デバイスとその製造方法

【特許請求の範囲】

【請求項 1】 ソース領域とドレイン領域を有する半導体基板上に、絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスにおいて、前記絶縁体バッファ層は、ハフニウム・アルミニウム酸化物を主成分とする絶縁膜であることを特徴とする半導体強誘電体記憶デバイス。

【請求項 2】 前記絶縁体バッファ層のハフニウム元素とアルミニウム元素の構成比 $\text{Hf}_{1-x} : \text{Al}_{2x}$ を表す x の範囲が $0 < x < 0.7$ であることを特徴とする請求項 1 に記載の半導体強誘電体記憶デバイス。

【請求項 3】 前記絶縁体バッファ層が窒素元素を添加物として含むことを特徴とする請求項 1 または 2 に記載の半導体強誘電体記憶デバイス。

【請求項 4】 ソース領域とドレイン領域を有する半導体基板上に、絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスにおいて、前記絶縁体バッファ層は、ハフニウム酸化物を主成分とする絶縁膜であり、かつ、窒素元素を添加物として含むことを特徴とする半導体強誘電体記憶デバイス。

【請求項 5】 窒素元素の含有量が $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲にあることを特徴とする請求項 3 または 4 に記載の半導体強誘電体記憶デバイス。

【請求項 6】 前記半導体基板と前記絶縁体バッファ層との間に、酸化膜、窒化膜または酸窒化膜が挿入されていることを特徴とする請求項 1 から 5 のいずれかに記載の半導体強誘電体記憶デバイス。

【請求項 7】 ソース領域とドレイン領域を有する半導体基板上に、ハフニウム・アルミニウム酸化物を主成分とする絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスの製造方法であって、半導体基板表面処理、絶縁体バッファ層形成、強誘電体膜形成、ゲート電極形成および熱処理工程を含むことを特徴とする半導体

強誘電体記憶デバイスの製造方法。

【請求項 8】 前記絶縁体バッファ層形成を、窒素ガスを含む雰囲気中に行うことを特徴とする請求項 7 に記載の半導体強誘電体記憶デバイスの製造方法。

【請求項 9】 ソース領域とドレイン領域を有する半導体基板上に、ハフニウム酸化物を主成分とする絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスの製造方法であって、半導体基板表面処理、絶縁体バッファ層形成、強誘電体膜形成、ゲート電極形成および熱処理工程を含み、前記絶縁体バッファ層形成を、窒素ガスを含む雰囲気中に行うことを特徴とする半導体強誘電体記憶デバイスの製造方法。

【請求項 10】 前記窒素ガスを含む雰囲気が、窒素と酸素のモル比が 1:1 ~ 1:10⁻⁷ の混合ガスの雰囲気であることを特徴とする請求項 8 または 9 に記載の半導体強誘電体記憶デバイスの製造方法。

【請求項 11】 薄膜形成のための真空容器に半導体基板を置き、該容器から該半導体基板を出すことなく連続して気相成長法により前記絶縁体バッファ層および前記強誘電体膜を形成することを特徴とする請求項 7 から 10 のいずれかに記載の半導体強誘電体記憶デバイスの製造方法。

【請求項 12】 薄膜形成のための真空容器に半導体基板を置き、該容器から該半導体基板を出すことなく連続してパルスレーザ堆積法により前記絶縁体バッファ層および前記強誘電体膜を形成することを特徴とする請求項 7 から 10 のいずれかに記載の半導体強誘電体記憶デバイスの製造方法。

【請求項 13】 強誘電体膜形成の間に強誘電体膜形成のための真空容器の中、強誘電体膜形成後強誘電体膜形成のための真空容器の中、強誘電体膜形成後ゲート電極形成前にアニール炉の中またはゲート電極形成後アニール炉の中のいずれかのタイミングおよび環境において、少なくとも 1 回熱処理することを特徴とする請求項 7 から 12 のいずれかに記載の半導体強誘電体記憶デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体強誘電体記憶デバイスおよびその製造方法に関し、特に、ゲート絶縁膜に強誘電体膜を含むトランジスタをメモリセルとする半導体強誘電体記憶デバイスおよびその製造方法に関するものである。

【0002】

【従来の技術】

ゲート絶縁膜に強誘電体を用いたトランジスタは、データ記憶、データの読み出し、書き込みが単一のトランジスタで行われるため、次世代の高集積メモリとして期待されている。このトランジスタは、強誘電体の電気分極の向きに対応してトランジスタの電気伝導が制御される。実際には、半導体と強誘電体の両方の特徴を損なわないように、その間に絶縁体バッファ層を挿入した構造が研究されている（例えば、特許文献1、2参照）。強誘電体に接する金属ゲート電極を含めて、MFIS(Metal-Ferroelectrics-Insulator-Semiconductor)トランジスタと呼ばれている。

【0003】

このMFISトランジスタは、原理的には（1）電気分極を利用しているため、電源を切ってもデータが消失しない、（2）読み出し動作はトランジスタのソースドレイン間の電気伝導を見るだけでよく、読み出し動作の後でもデータの内容は破壊されない、（3）データの読み出し、書き込み速度がDRAM程度に高速であるという特徴を持つことが期待されている。

しかしながら、従来のMFISトランジスタは、データを書き込み後、長くても1日程度でメモリトランジスタ動作として見るとデータが消えてしまうという問題を抱えていた（例えば、非特許文献1、2参照）。

【0004】

【特許文献1】

特開2001-291841

【特許文献2】

特開2002-353420

【非特許文献1】

S. Migita et al., Integrated Ferroelectrics Vol. 40, pp.135-143, 2

001

【非特許文献2】

右田真司他、電子情報通信学会論文誌 Vol.J85-C No.1 (2002年1月号) pp

.14-22

【0005】

【発明が解決しようとする課題】

上述したように、従来のMFISトランジスタでは、実用化が可能である程度の期間データを保持していることができなかった。これは主として、バッファ層及び強誘電体のリーク電流が大きいため、強誘電体とバッファ層の界面付近に電荷が蓄積されこの電荷が強誘電体中の電気分極を遮蔽し、トランジスタのソースドレイン間の電気伝導が強誘電体の電気分極によって制御できなくなるためである。

また、強誘電体にデータを書き込むときにMFISに電圧を加える訳だが、バッファ層の比誘電率が小さいと電圧の大部分がバッファ層の方に加わるという問題もあった。

本願発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、実用化が可能である程度の期間データを保持することのできるMFIS型メモリデバイスを提供できるようにすることである。

【0006】

【課題を解決するための手段】

上記の目的を達成するため、本発明によれば、ソース領域とドレイン領域を有する半導体基板上に、絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスにおいて、前記絶縁体バッファ層は、ハフニウム・アルミニウム酸化物を主成分とする絶縁膜であることを特徴とする半導体強誘電体記憶デバイス、が提供される。

そして、好ましくは、前記絶縁体バッファ層のハフニウム元素とアルミニウム元素の構成比 $\text{Hf}_{1-x} : \text{Al}_{2x}$ を表す x の範囲が $0 < x < 0.7$ である。

また、より好ましくは、前記絶縁体バッファ層は、窒素元素を添加物として含

む。

また、上記の目的を達成するため、本発明によれば、ソース領域とドレイン領域を有する半導体基板上に、絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスにおいて、前記絶縁体バッファ層は、ハフニウム酸化物を主成分とする絶縁膜であり、かつ、窒素元素を添加物として含むことを特徴とする半導体強誘電体記憶デバイス、が提供される。

そして、好ましくは、窒素元素の含有量は $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲にある。

また、より好ましくは、前記半導体基板と前記絶縁体バッファ層との間に、酸化膜、窒化膜または酸窒化膜が挿入される。

【0007】

また、上記の目的を達成するため、本発明によれば、ソース領域とドレイン領域を有する半導体基板上に、ハフニウム・アルミニウム酸化物を主成分とする絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスの製造方法であって、半導体基板表面処理、絶縁体バッファ層形成、強誘電体膜形成、ゲート電極形成および熱処理工程を含むことを特徴とする半導体強誘電体記憶デバイスの製造方法、が提供される。

そして、好ましくは、前記絶縁体バッファ層形成を、窒素ガスを含む雰囲気中に行う。

また、上記の目的を達成するため、本発明によれば、ソース領域とドレイン領域を有する半導体基板上に、ハフニウム酸化物を主成分とする絶縁体バッファ層、強誘電体膜およびゲート電極がこの順に積層されているトランジスタを有する半導体強誘電体記憶デバイスの製造方法であって、半導体基板表面処理、絶縁体バッファ層形成、強誘電体膜形成、ゲート電極形成および熱処理工程を含み、前記絶縁体バッファ層形成を、窒素ガスを含む雰囲気中に行うことを特徴とする半導体強誘電体記憶デバイスの製造方法、が提供される。

そして、好ましくは、前記窒素ガスを含む雰囲気は、窒素と酸素のモル比が1:

1~1:10⁻⁷の混合ガスの雰囲気である。

また、より好ましくは、強誘電体膜形成の間に強誘電体膜形成のための真空容器の中、強誘電体膜形成後強誘電体膜形成のための真空容器の中、強誘電体膜形成後ゲート電極形成前にアニール炉の中またはゲート電極形成後アニール炉の中のいずれかのタイミングおよび環境において、少なくとも1回熱処理を行う。

【0008】

【発明の実施の形態】

図1は、本願発明に係る半導体強誘電体記憶デバイスの概観図である。本願発明に係るデバイスは、まず半導体基板1を用意する。ここで、半導体基板1は、シリコンであってもシリコンとゲルマニウムの混晶であっても、あるいはSiCであってもよく、その種類を限定しない。

【0009】

半導体基板1の一つの面に絶縁体バッファ層2の面2aを接続する。絶縁体バッファ層2としてハフニウムを構成元素とする酸化物 HfO_{2+u} あるいはハフニウムとアルミニウムを構成元素とする酸化物 $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ を形成する。 x の範囲は、熱的安定性、化学的安定性の強化のために、また大きい比誘電率を持つために、 $0 < x < 0.7$ であると特によい。 y の範囲は、良好な絶縁性を示す点で $-0.2 < y < 0.2$ であると特によい。また、 u の範囲も良好な絶縁性を示す点で $-0.2 < u < 0.2$ であると特によい。 HfO_{2+u} と $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ の厚さ t は、データ書き込みすなわち電気分極状態の決定のための印加電圧の絶対値を小さくするために、 $4 \text{ nm} < t < 40 \text{ nm}$ の範囲にあると特によい。

【0010】

絶縁体バッファ層2のもう一方の面2bに強誘電体膜3の面3aを接続する。強誘電体の種類を限定するものではないが、代表的なものとして、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Bi}_{4-2z}\text{La}_z\text{Ti}_3\text{O}_{12}$ 、 $\text{PbZr}_{1-z}\text{Ti}_z\text{O}_3$ 、 YMnO_3 がある。強誘電体膜の厚さ d は、データ書き込みすなわち電気分極状態の決定のための印加電圧の絶対値を小さくするために、 $20 \text{ nm} < d < 600 \text{ nm}$ の範囲にあると特によい。

【0011】

強誘電体膜3のもう一方の面3bにゲート電極4を接続する。ゲート電極4は、

導電性のよい材料であればAuやPtのような金属でも、TiNやTa₂Nのような窒化物でもIrO₂やRuO₂のような酸化物でも何でもよい。

【0012】

半導体基板1は、ソース領域5とドレイン領域6を持つ。ソース領域5とドレイン領域6がn型であれば、ソース領域5とドレイン領域6を除く領域7はp型となる。半導体基板1の中のソース領域5とドレイン領域6がn型であれば、ソース領域5とドレイン領域6を除く領域7はp型となる。

【0013】

【作用】

データを記憶する源は、強誘電体膜3の電気分極であり、強誘電性を発現するためには、薄膜形成時もしくはその後の熱処理工程で温度を上げて強誘電体膜3を結晶の状態にする必要がある。この結晶化温度は、通常650℃～950℃である。一般に、この温度が高い方が結晶性がよく、強誘電性もよい。結晶化工程の時間は、典型的には1時間である。シリコン中のソース領域とドレイン領域を形成するためには、不純物の活性化のため低くても1050℃程度の短時間（典型的には30秒）の熱処理が必要である。絶縁体バッファ層2は、この強誘電体膜3の結晶化のための高温工程を必ず経ることになる。標準的な作製プロセスではソース領域とドレイン領域を形成するための熱処理工程も経ることになる。従って、従来は、絶縁体バッファ層2も熱処理工程で結晶化してしまい、結晶粒と結晶粒の間の粒界を通してリーク電流が流れた。この実施例のHfO_{2+u}あるいはHf_{1-x}Al_{2x}O_{2+x+y}では、上記強誘電体結晶化の熱工程でも上記不純物活性化の熱工程でも絶縁体バッファ層2は、結晶化せず、アモルファスの状態を維持している。従って、絶縁体バッファ層2のリーク電流を低く押さえることができる。アモルファスの状態の絶縁体バッファ層2の表面は、結晶化したそれに比較して平坦である。アモルファスの状態の絶縁体バッファ層2の表面からは強誘電体膜3の結晶成長のための種結晶ができ難く、強誘電体膜3の結晶粒が小さく、薄膜はち密になり、強誘電体膜3のリーク電流も低く押さえることができる。一方、絶縁体バッファ層2が結晶化してしまうと結晶粒と粒界により表面の凹凸が増す。この結晶粒には強誘電体膜3の種結晶ができやすく強誘電体膜3の結晶粒が大きくなり強誘電体

膜3のリーク電流も大きくなる。このように HfO_{2+u} あるいは $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ で絶縁体バッファ層2を構成すると、絶縁体バッファ層2と強誘電体膜3の両方のリーク電流を低く押さえることができ、データ保持時間が真に充分長いメモリトランジスタが実現する。 $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ は、熱処理工程に対してアモルファス状態を維持する温度が HfO_{2+u} よりさらに高まるので、結晶化温度の高い強誘電体を強誘電体膜3に用いるときに特によい。

【0014】

【製造方法】

次に製造方法について述べる。言うまでもなく、本発明の製造方法は以下の方法に限定されるものではない。

絶縁体バッファ層2の形成法は、薄膜の形成法であれば何でもよく物理的気相成長法では、パルスレーザ堆積法（レーザアブレーション法ともいう）、スパッタリング法、蒸着法などが有効であり、化学成長法ではMOCVD法、MOD法、ゾルゲル法などがある。

強誘電体膜3およびゲート電極4形成法も、薄膜の形成法であれば何でもよく物理的気相成長法で、パルスレーザ堆積法、スパッタリング法、蒸着法などが有効であり、化学成長法は、MOCVD法、MOD法、ゾルゲル法などがある。

【0015】

ここで、半導体基板1としてSiを用い、絶縁体バッファ層2と強誘電体膜3の形成法としてパルスレーザ堆積法を用いた製造方法の例を述べる。

【0016】

1. Si表面処理

標準的な表面洗浄法でSi表面を洗浄後、希フッ酸あるいは緩衝フッ酸で表面の残留酸化層を除去する。さらに、故意に1分子層程度の酸化膜、窒化膜、酸窒化膜の形成等の表面処理をしてもよい。

【0017】

2. 絶縁体バッファ層2の形成

パルスレーザ堆積法で形成する。 SiO_2 のような小さい誘電率を持つ酸化層の形成を抑えるために形成中Siの温度は低温（室温～550℃）の条件化におく。絶

絶縁体バッファ層 2 がハフニウムとアルミニウムを構成元素とする酸化物である場合は、ターゲット組成は、 $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$ とする。絶縁体バッファ層 2 がハフニウムを構成元素とする酸化物である場合は、ターゲット組成は、 HfO_{2+u} とする。絶縁体バッファ層 2 は、酸化物であるので、形成中、酸素ガスを導入する。Si と絶縁体バッファ層 2 の界面への低誘電率酸化層の形成を抑制し小さくするため酸素ガスに窒素ガスを混合すると特によい。窒素は、絶縁体バッファ層 2 の中の構造欠陥を低減させ、リーク電流を小さくすることにも役立つ。酸素と窒素の混合ガスを用いる場合、混合モル比は、 $\text{N}:\text{O}=1:1\sim 1:10^{-7}$ である。また、 $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$ と HfO_{2+u} のターゲット自体が酸素を含み、Hf 原子と Al 原子は酸化物を容易に形成するので、絶縁体バッファ層 2 形成中は窒素ガスだけの導入でもよい。その場合、混合モル比は窒素ガス中に含まれる残留酸素量によって決まる。典型的には残留酸素による混合モル比は $\text{N}:\text{O}=1:10^{-5}\sim 1:10^{-7}$ であるが、酸素ガスの窒素ガスに対するモル比はそれより小さくてもよい。

窒素ガスを含む雰囲気中で成膜を行ったことにより絶縁体バッファ層には窒素元素が添加物として添加されることになる。それにより上記の効果がもたらされる。窒素元素の含有量は $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ の範囲とするのがよい。その範囲は $5 \times 10^{19} \text{ cm}^{-3}$ から $5 \times 10^{21} \text{ cm}^{-3}$ とするのが特によい。

【0018】

3. 強誘電体膜 3 の形成

パルスレーザ堆積法で形成する。上記絶縁体バッファ層 2 の形成と同じ薄膜形成のための真空容器に半導体基板 1 である Si をおいて容器から Si を出すことなく連続してパルスレーザ堆積法で絶縁体バッファ層 2 と強誘電体膜 3 を形成すると、絶縁体バッファ層 2 と強誘電体膜 3 の界面が清浄に保たれ電気特性も優れるので特によい。強誘電体膜 3 形成中は、酸素ガスを導入する。

【0019】

4. ゲート電極の形成

Pt を例に挙げると、電子ビーム加熱の蒸着法あるいはスパッタリング法、パルスレーザ堆積法で Pt ゲート電極を形成する。

【0020】

5. 熱処理工程

強誘電体膜 3 の結晶化のための熱処理を行う。熱処理のタイミングは、以下の 4 種のケースがあるが、これらの内少なくとも 1 つのケースを実行する。

(1) 上記工程 3 の薄膜形成中の熱処理。(2) 工程 3 の薄膜形成後に薄膜形成のための真空容器内での熱処理。(3) 工程 3 の薄膜形成後工程 4 の前にアニール炉での熱処理。(4) 工程 4 の後にアニール炉での熱処理。

強誘電体膜 3 が $\text{SrBi}_2\text{Ta}_2\text{O}_9$ である場合、結晶化のための熱処理温度は $650 \sim 900^\circ\text{C}$ である。

この結晶化のための熱処理工程において、シリコン基板の表面には酸素が供給されることにより、基板と絶縁体バッファ層との界面、あるいは、基板と酸化膜などの表面処理膜との界面にはシリコン酸化膜が成長することがある。本発明によれば、絶縁体バッファ層に窒素元素が添加されていることにより酸素の移動が抑制されるため、シリコン酸化膜の成長が抑制される。同時に、熱処理による強誘電体膜の還元が抑制されることも期待される。

【0021】

【第 1 実施例】

用いた材料と厚さは、以下の通りである。

半導体基板 1 : Si

絶縁体バッファ層 2 : $\text{Hf}_{1-x}\text{Al}_2\text{O}_{2+x+y}$ 、 $x=0.25$ 、 $y=0$ 、厚さ 10nm

強誘電体膜 3 : $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、厚さ 400nm

ゲート電極 4 : Pt、厚さ 200nm、ゲート長 (ソース領域からドレイン領域に向かつての長さ) $10\mu\text{m}$

ソース領域 5 及びドレイン領域 6 の導電の型 : n型

領域 7 の導電の型 : p型

絶縁体バッファ層 2 である $\text{Hf}_{1-x}\text{Al}_2\text{O}_{2+x+y}$ ($x=0.25$ 、 $y=0$) は、パルスレーザー堆積法で形成した。用いたレーザーは KrF エキシマーレーザーである。レーザーエネルギーは、1 パルス当たり 250mJ、パルスの繰り返し周波数 2Hz、堆積時間 270 秒である。基板温度 200°C である。導入ガスは、窒素と酸素の混合ガスであり、そのモル比は、 $\text{N}:\text{O}=1:10^{-6}$ である。この導入ガスによる堆積室の圧力は、0.1Torr (1

3.33Pa) である。強誘電体膜 3 に相当する $\text{SrBi}_2\text{Ta}_2\text{O}_9$ も同じくパルスレーザー堆積法で形成した。レーザーの種類とエネルギーは、上記絶縁体バッファ層 2 の場合と同じである。パルスの繰り返し周波数 5Hz、堆積時間 34 分である。基板温度 400℃ である。導入ガスは、酸素である。この導入ガスによる堆積室の圧力は、0.1 Torr (13.33Pa) である。ゲート電極 4 として Pt を電子ビーム蒸着法で形成した。ゲート電極形成後 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を結晶化させるため、大気圧酸素中 800℃ で 1 時間熱処理した。半導体デバイス作製工程で用いるフォトリソグラフィー、イオンビームエッチング技術等を用いてトランジスタを作製した。

【0022】

次に、上記第 1 実施例により作成したトランジスタの特性を示す。図 2 は、ゲート電極 4 にゲート電圧 V_G を加えたときのドレイン電流 I_D の結果を示す。ゲート電圧を 6V から -6V へ連続的に変化させ、その後 -6V から 6V へ変化させた。ドレイン電流は、強誘電体特有の性質によって図 2 のように変化した。ゲート電圧の掃引に対して矢印に示すようにドレイン電流は変化した。図 2 中の 2 点で代表されるように記憶した電気分極の向きに応じてトランジスタは、オン状態とオフ状態の 2 状態を取ることができる。この 2 点にゲート電圧を固定し、ドレイン電流のオン状態とオフ状態を各々長期間測定した結果が、図 3 である。この図 3 から分かるように、両状態が極めて安定に持続していることが分かる。

【0023】

【第 2 実施例】

用いた材料と厚さは、以下の通りである。

半導体基板 1 : Si

絶縁体バッファ層 2 : HfO_{2+u} 、 $u=0$ 、厚さ 10nm

強誘電体膜 3 : $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、厚さ 400nm

ゲート電極 4 : Pt、厚さ 200nm、ゲート長（ソース領域からドレイン領域に向かった長さ）10 μm

ソース領域 5 及びドレイン領域 6 の導電の型： n 型

領域 7 の導電の型： p 型

【0024】

絶縁体バッファ層 2 である HfO_{2+u} ($u=0$) は、パルスレーザ堆積法で形成した。用いたレーザは KrF エキシマーレーザである。レーザエネルギーは、1 パルス当たり 250mJ、パルスの繰り返し周波数 2Hz、堆積時間 270 秒である。基板温度 200℃ である。導入ガスは、窒素と酸素の混合ガスであり、そのモル比は、 $\text{N}:\text{O}=1:10^{-6}$ である。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。強誘電体膜 3 に相当する $\text{SrBi}_2\text{Ta}_2\text{O}_9$ も同じくパルスレーザ堆積法により形成した。レーザの種類とエネルギーは、上記絶縁体バッファ層 2 の場合と同じである。パルスの繰り返し周波数 5Hz、堆積時間 34 分である。基板温度 400℃ である。導入ガスは酸素である。この導入ガスによる堆積室の圧力は、0.1Torr (13.33Pa) である。ゲート電極 4 として Pt を電子ビーム蒸着法で形成した。ゲート電極形成後、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を結晶化させるため、大気圧酸素中 800℃ において 1 時間熱処理した。

【0025】

次に、上記第 2 実施例におけるトランジスタの実験結果を示す。図 4 は、ゲート電極 4 にゲート電圧 V_G を加えたときのドレイン電流 I_D の結果を示す。ゲート電圧を 8V から -8V へ連続的に変化させ、その後 -8V から 8V へ変化させた。ドレイン電流は強誘電体特有の性質によって図のように変化した。ゲート電圧の掃引に対して矢印に示すようにドレイン電流は変化した。図中の 2 点で代表されるように記憶した電気分極の向きに応じてトランジスタはオン状態とオフ状態の 2 状態を取ることができる。この 2 点にゲート電圧を固定し、ドレイン電流のオン状態とオフ状態を各々長期間測定した結果が、図 5 である。この図から分かるように両状態が極めて安定に持続していることが分かる。

【0026】

図 2 でオン状態と記した点を含む $0 < V_G < 3\text{V}$ の範囲の曲線とオフ状態と記した点を含む $1.6\text{V} < V_G < 4.6\text{V}$ の範囲の曲線は概ね平行移動の関係にあり、この移動の幅の電圧をメモリウィンドウ幅と呼ぶ。このメモリウィンドウ幅は MFIS トランジスタのメモリ特性の 1 つの指標を与える。小さすぎると設定電圧の幅が小さくなるし、大きすぎるとデータを書き込むためのゲート電圧が大きくなる。図 2 ではゲート電圧を $\pm 6\text{V}$ 変化させた。第 1 実施例に対して、このゲート電圧の変化の幅（掃引電圧）を変化させたときのメモリウィンドウ幅を図 6 にまとめた。

【0027】

ソース電極、ドレイン電極及び基板の電位を共通にし、ゲート電極の電位をそれより V_G だけ高くしたときの絶縁体バッファ層と強誘電体膜の直列体を流れる電流 I_G を測定した。第1実施例に対する測定結果が図7である。 I_G は絶縁体バッファ層と強誘電体膜の直列体のリーク電流に相当する。 $V_G \leq \pm 6V$ で、 $5 \times 10^{-10} A/cm^2$ 以下の I_G であり、非特許文献2の20ページ図9(b)に示される同じ電圧範囲での $1 \times 10^{-8} A/cm^2$ 以下と比較して、格段にリーク電流が抑制されている。

【0028】

情報の書換え回数の試験を行った。ゲート電極に+8Vの電圧を500nsの間加えすなわちオン状態を作り、次に-8Vの電圧を500nsの間加えすなわちオフ状態を作る。これを1周期として 10^{12} 回まで繰り返した。第1実施例に対する試験結果が図8である。図から分るように 10^{12} 回の繰り返し(情報書換えとしては 2×10^{12} 回)後も、オン状態とオフ状態のドレイン電流は何の問題も無く識別できている。

【0029】

書込みパルス幅依存性の試験を行った。パルス高+8Vあるいは-8Vの単発のパルス電圧をゲート電極に加え、オン状態あるいはオフ状態を作る訳であるが、そのパルスの幅を変えた。この書込みパルス印加後ドレイン電圧0.1Vを加えドレイン電流を測定した。第1実施例に対する試験結果を図9に示す。図から分るように、500nsのパルス幅の印加に対してもオン状態のドレイン電流はオフ状態のドレイン電流よりも4桁以上大きかった。

【0030】

第1実施例の試料の元素組成を二次イオン質量分析法により分析した。シリコン基板の裏側からシリコン、絶縁体バッファ層、強誘電体膜の順に切削し、各構成体における元素を分析した。その結果絶縁体バッファ層には添加物として窒素原子があることを確認した。その量は $2 \times 10^{21} cm^{-3}$ であった。先に記述したようにこれは絶縁体バッファ層の中の構造欠陥を低減させリーク電流を小さくすることに役立っているし、Siと絶縁体バッファ層の界面への低誘電率酸化層の形成を抑制することにも役立っている。

【0031】

第2実施例に対しても図7と同様にゲート電極に電圧を加え、リーク電流 I_G を測定した。その試験結果を図10に示す。この実施例においても、非特許文献2の20ページ図9(b)に示される例と比較してリーク電流が小さくなっている。

第2実施例の試料も二次イオン質量分析法により分析した。方法は先述の第1実施例と同じである。その結果絶縁体バッファ層には添加物として窒素原子があることを確認した。その量は $2 \times 10^{20} \text{cm}^{-3}$ であった。第1実施例と同様にこれはリーク電流の低減やSiとバッファ層の界面への低誘電率酸化層形成の抑制に役立っている。

【0032】

絶縁体バッファ層の組成 x 以外は第1実施例及び第2実施例と全く同条件で第3ないし第7実施例を作製した。第3実施例では $x=0.05$ 、第4実施例では $x=0.12$ 、第5実施例では $x=0.48$ 、第6実施例では $x=0.68$ 、第7実施例では $x=0.85$ とした。また、参考実施例として $x=1$ 、すなわち Al_2O_3 を絶縁体バッファ層とする実施例も作製した。ゲート電圧を掃引してドレイン電流を測定し、MFISトランジスタのメモリウィンドウ幅を測定した。掃引ゲート電圧は $\pm 6\text{V}$ と条件を統一した。第1実施例と第2実施例も合わせてその結果を図11に示す。図中の数字は、実施例の番号に対応している。図中のRは参考実施例を示している。 x が0に等しいか0より大きく0.7より小さい範囲で1V以上のメモリウィンドウ幅を得ている。

【0033】

導入酸素ガスの窒素ガスに対するモル比以外は第1実施例と全く同じ条件で第8実施例を作製した。すなわちこの実施例では導入ガスの $\text{N}:\text{O}=1:0.053$ とした。ゲート電圧を掃引してドレイン電流を測定し、MFISトランジスタのメモリウィンドウ幅を測定した。掃引ゲート電圧は $\pm 5\text{V}$ と条件を統一した。第1実施例の結果も合わせてその結果を図12に示す。図中の数字は、実施例の番号に対応している。

【0034】

【発明の効果】

本願発明によれば、データの書き込みと読み出しを1個のトランジスタサイズにより実現することができ、しかも書き込んだデータは、消失せず、読み出すこ

とができる。また、読み出し後も、データの内容は、破壊されない。本願発明に係るデバイスは、広範囲の用途の半導体メモリ、さらには半導体論理回路中の安定な一時記憶デバイス等、多様な回路の中で用いることができる。

【図面の簡単な説明】

【図 1】

本願発明に係るトランジスタの概観説明図。

【図 2】

第 1 実施例のゲート電圧とドレイン電流の関係図。

【図 3】

第 1 実施例によるトランジスタにおけるドレイン電流の経時変化図。

【図 4】

第 2 実施例のゲート電圧とドレイン電流の関係図。

【図 5】

第 2 実施例によるトランジスタにおけるドレイン電流の経時変化図。

【図 6】

第 1 実施例の掃引ゲート電圧とメモリウィンドウ幅の関係を示す図。

【図 7】

第 1 実施例のゲート電圧とゲートリーク電流との関係を示す図。

【図 8】

第 1 実施例の書き換え繰り返し回数とドレイン電流との関係を示す図。

【図 9】

第 1 実施例のゲート電圧パルス幅とドレイン電流との関係を示す図。

【図 10】

第 2 実施例のゲート電圧とゲートリーク電流との関係を示す図。

【図 11】

第 1～第 7 実施例による $\text{Hf}_{1-x}\text{Al}_{2x}\text{O}_{2+x+y}$ の組成 x とメモリウィンドウ幅との関係を示す図。

【図 12】

第 1、8 実施例による酸素モル比（対窒素）とメモリウィンドウ幅との関係を

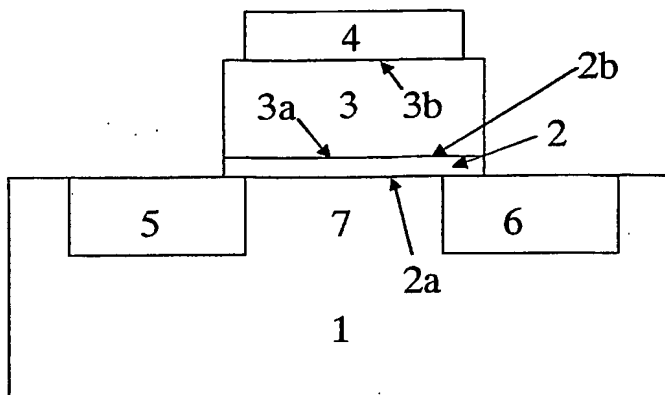
示す図。

【符号の説明】

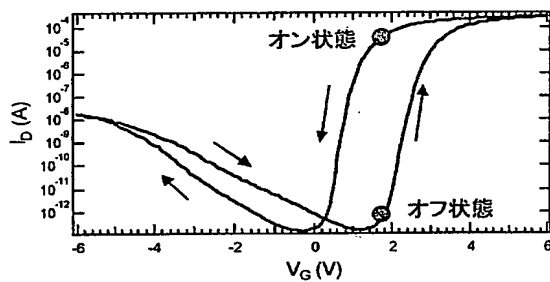
- 1 半導体基板
- 2 絶縁体バッファ層
- 3 強誘電体膜
- 4 ゲート電極
- 5 半導体基板中のソース領域
- 6 半導体基板中のドレイン領域
- 7 半導体基板中のソース領域とドレイン領域を除く領域

【書類名】 図面

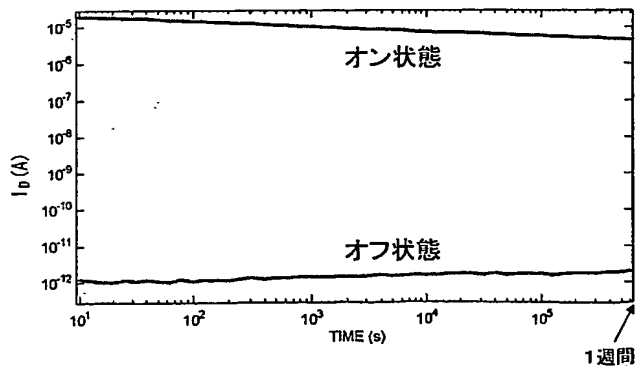
【図 1】



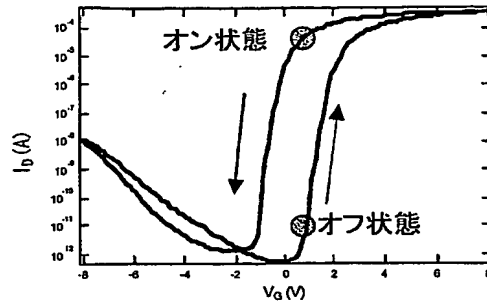
【図 2】



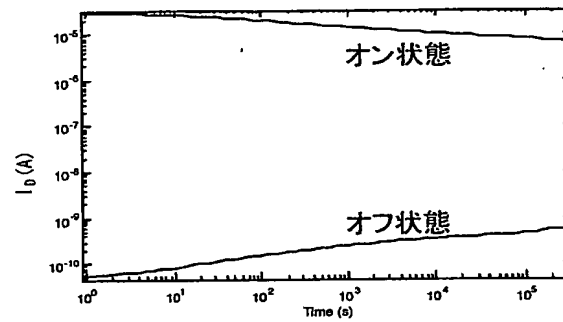
【図 3】



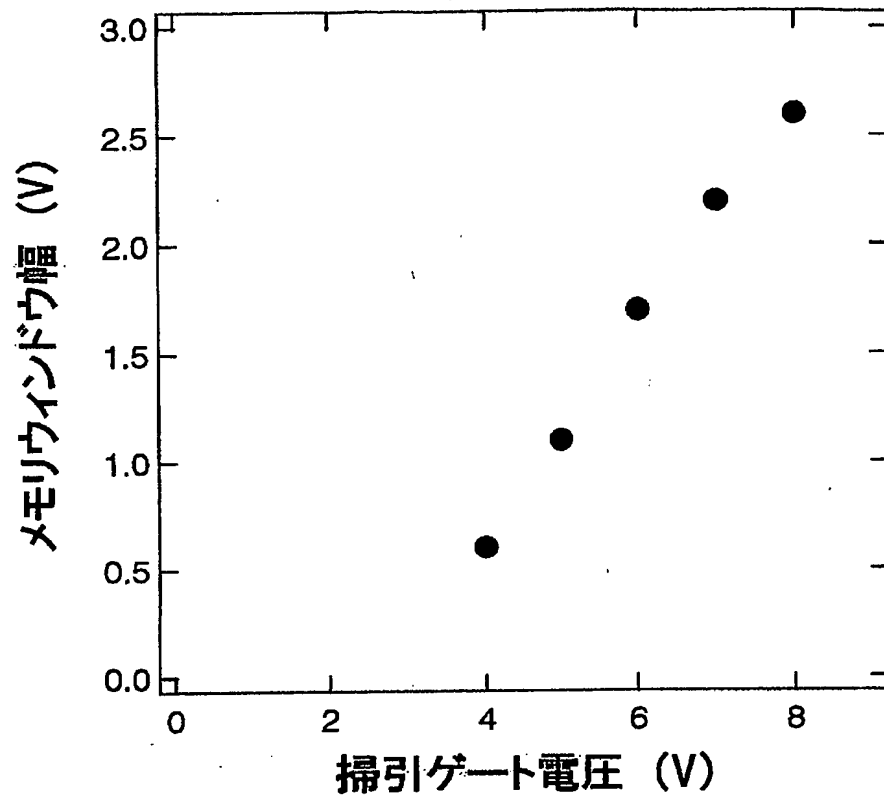
【図 4】



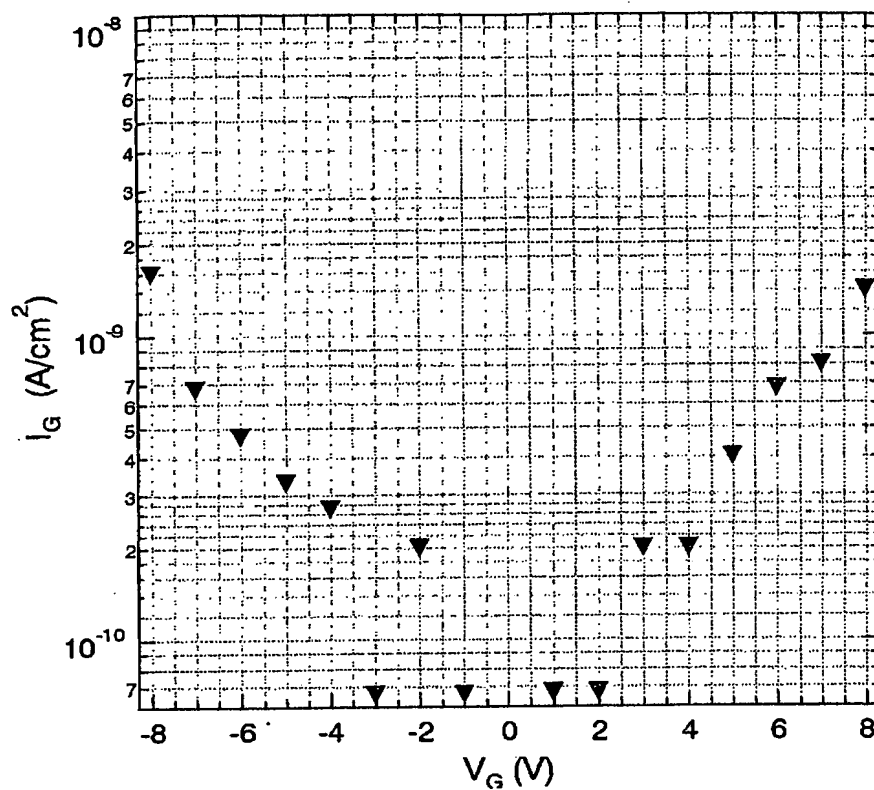
【図 5】



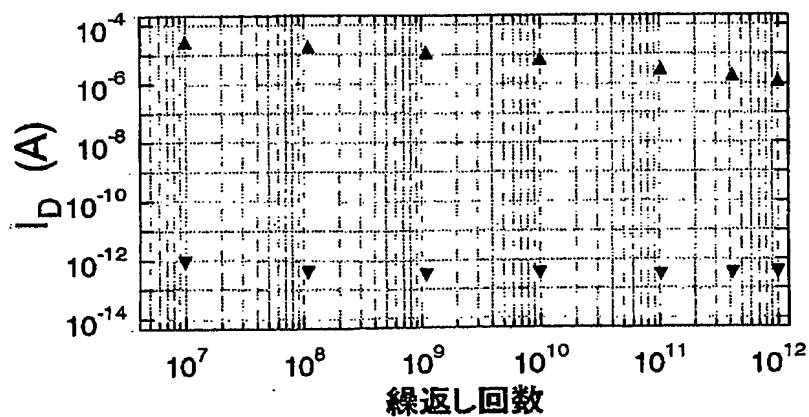
【図 6】



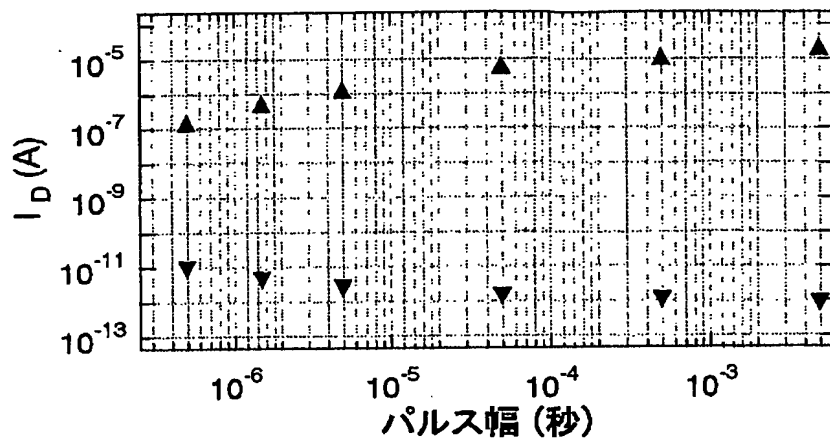
【図 7】



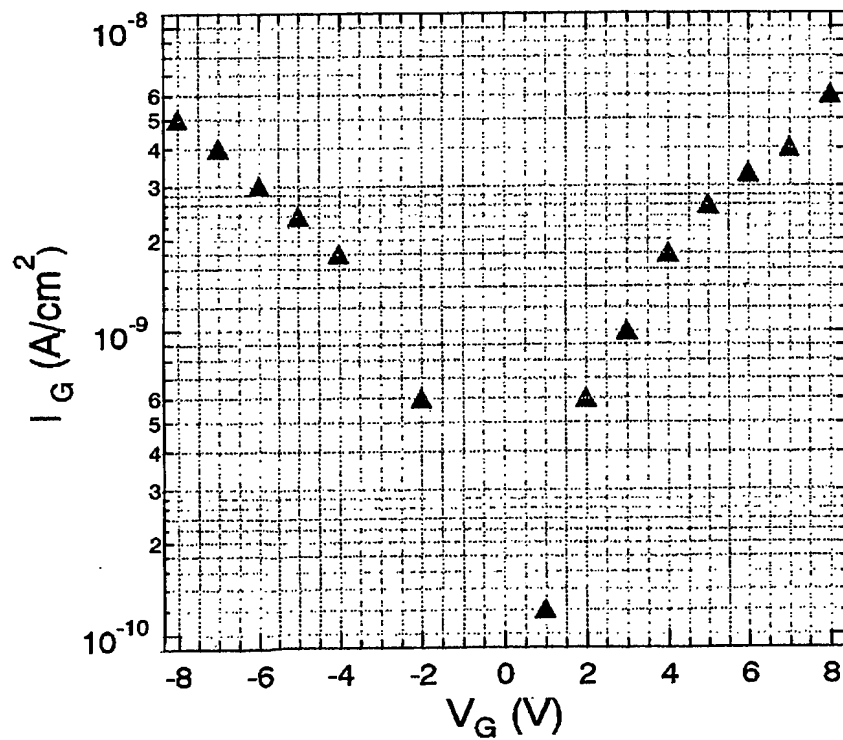
【図 8】



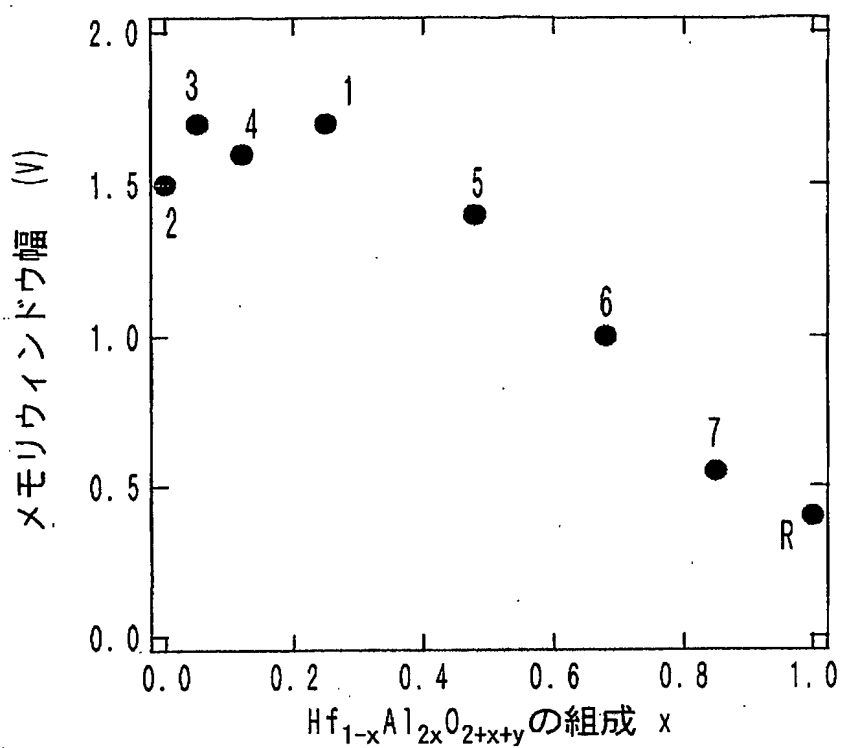
【図 9】



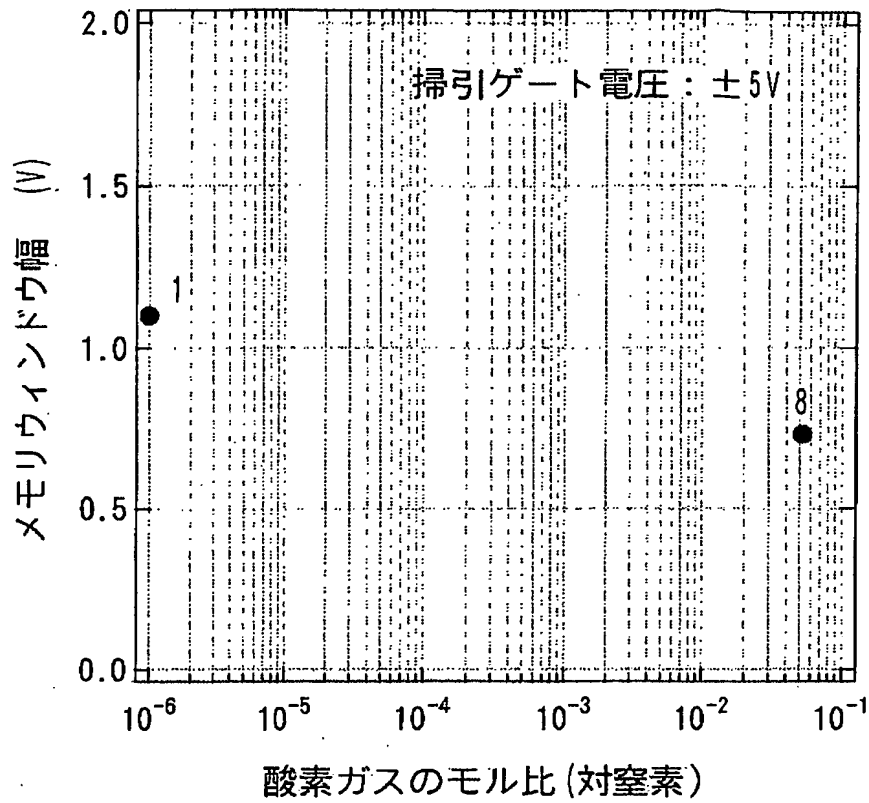
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 従来のMFISトランジスタは、データを書き込み後、長くても1日程度でメモリトランジスタ動作としてデータが消えてしまうという問題を抱えている。これは主として、バッファ層及び強誘電体のリーク電流が大きいため、強誘電体が記憶した電気分極を遮蔽するように強誘電体とバッファ層の界面付近に電荷が蓄積されトランジスタのソースドレイン間の電気伝導を強誘電体の電気分極が制御できなくなるためである。

【解決手段】 本願発明においては、絶縁体バッファ層2を HfO_{2+u} あるいは $\text{Hf}_{1-x}\text{Al}_x\text{O}_{2+x+y}$ で構成することにより、絶縁体バッファ層2と強誘電体3の両方のリーク電流を低く押さえることができ、データ保持時間が真に充分長いメモリトランジスタが実現する。

【選択図】 図1

特願2003-074052

ページ: 1/E

認定・付加情報

特許出願の番号	特願2003-074052
受付番号	50300442325
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 3月24日

<認定情報・付加情報>

【提出日】 平成15年 3月18日

次頁無

出証特2003-3056176

特願 2-0-0 3-0 7-4 0 5 2

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 2 1 5 3 3]

1. 変更年月日
[変更理由]

2 0 0 1 年 4 月 2 日

新規登録

住 所
氏 名

東京都千代田区霞が関 1-3-1
独立行政法人産業技術総合研究所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.